

1/3/6 (Item 6 from file: 351)
DIALOG(R) File 351:Derwent WPI
(c) 2006 Thomson Derwent. All rts. reserv.

010634082 **Image available**

WPI Acc No: 1996-131035/199614

XRPX Acc No: N96-110129

Silicon on insulator semiconductor with epitaxially grown silicon thin film - has insulator thin film with aperture just below gate electrode and monocrystalline silicon@ substrate with protrusion extending into aperture where monocrystalline silicon thin film forms transistor

Patent Assignee: NEC CORP (NIDE)

Inventor: YOSHINO A

Number of Countries: 004 Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week	
EP 700096	A2	19960306	EP 95113790	A	19950901	199614	B
JP 8078692	A	19960322	JP 94232284	A	19940901	199622	
EP 700096	A3	19961106	EP 95113790	A	19950901	199651	

Priority Applications (No Type Date): JP 94232284 A 19940901

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
EP 700096	A2	E	11 H01L-029/78	

Designated States (Regional): DE FR GB

JP 8078692 A 7 H01L-029/786

EP 700096 A3 H01L-029/78

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **08-078692**
 (43)Date of publication of application : **22.03.1996**

(51)Int.CI.
H01L 29/786
H01L 21/20
H01L 21/265
H01L 21/762

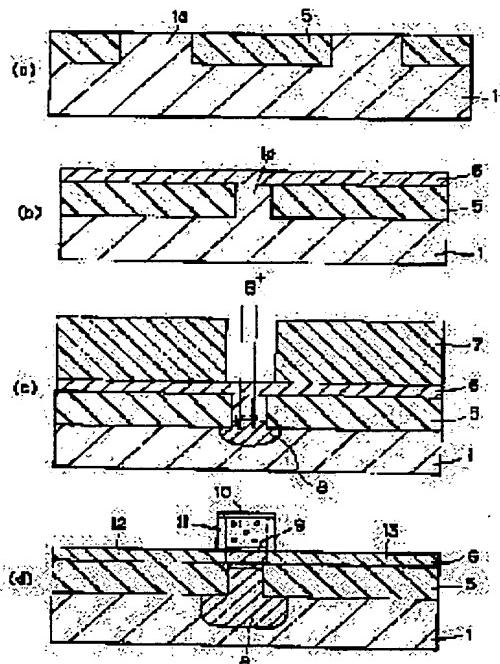
(21)Application number : **06-232284** (71)Applicant : **NEC CORP**
 (22)Date of filing : **01.09.1994** (72)Inventor : **YOSHINO AKIRA**

(54) SOI TYPE SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To increase the dielectric breakdown voltage and to enhance the crystalline characteristic of an Si thin film by suppressing the short channel effect, and preventing the accumulation of holes even if an impact ionization phenomenon occurs.

CONSTITUTION: (a) Protrusions 1a are formed by etching a single crystal Si substrate 1, and an Si oxide film 5 is deposited on the whole surface. By grinding the Si oxide film 5, the parts between the protrusions 1a are filled with the Si oxide film 5. (b) An epitaxially grown Si film 6 is formed on the Si oxide film 5 by growing Si with crystals of the surfaces of the protrusions 1a being growth cores. (c) P-type high-concentration impurity regions 5 are formed at the protrusions 5 by ion implantation. (d) A gate electrode 10, a source region 12, and a drain region 13 are formed.



LEGAL STATUS

[Date of request for examination] 01.09.1994
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number] 2891325
 [Date of registration] 26.02.1999
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 8 - 78692

(43) 公開日 平成 8 年 (1996) 3 月 22 日

(51) Int. Cl.⁶
H01L 29/786
21/20
21/265
21/762

識別記号 庁内整理番号

F I

技術表示箇所

9056-4M

H01L 29/78

626

B

審査請求 有 請求項の数 7 F D (全 7 頁) 最終頁に続く

(21) 出願番号 特願平 6 - 232284

(22) 出願日 平成 6 年 (1994) 9 月 1 日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72) 発明者 吉野 明

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

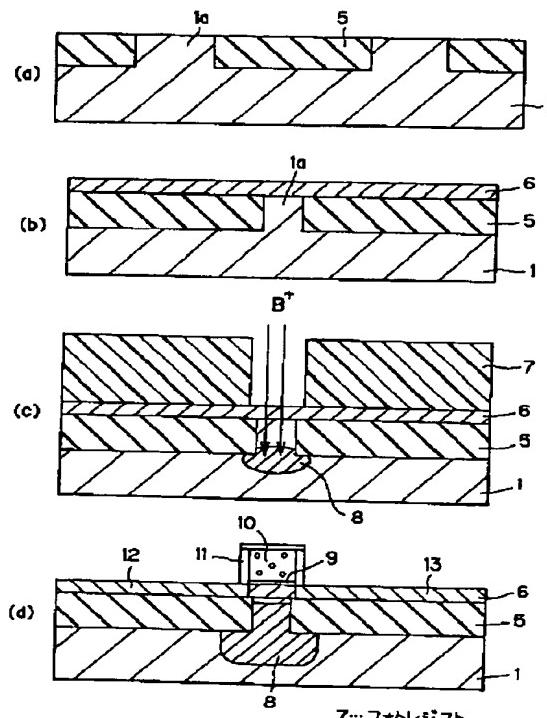
(74) 代理人 弁理士 尾身 祐助

(54) 【発明の名称】 S O I 型半導体装置およびその製造方法

(57) 【要約】

【目的】 短チャネル効果の抑制。衝突電離現象が発生しても正孔がチャネルに蓄積することができないようにして耐圧を向上させる。S i 薄膜の結晶性の向上。

【構成】 単結晶 S i 基板 1 をエッチングして突起部 1 a を形成し、全面に S i 酸化膜 5 を堆積する。S i 酸化膜 5 を研磨して、突起部 1 a 間を S i 酸化膜 5 により埋め込む [図 5 (a)]。突起部 1 a 表面の結晶を成長核として S i を成長させ、S i 酸化膜 5 上にエピ成長 S i 膜 6 を形成する [図 5 (b)]。イオン注入により突起部 1 a に p 型高濃度不純物領域 5 を形成する [図 5 (c)]。ゲート電極 10、ソース領域 12、ドレイン領域 13 を形成する [図 5 (d)]。



【特許請求の範囲】

【請求項 1】 単結晶シリコン基板上に絶縁体薄膜および単結晶シリコン薄膜が形成され、前記単結晶シリコン薄膜上にゲート絶縁膜を介してゲート電極が設けられ、前記単結晶シリコン薄膜をソース・ドレイン領域およびチャネル領域とし前記ゲート電極を制御電極とする薄膜トランジスタが形成されている S O I 型半導体装置において、前記ゲート電極直下において前記絶縁体薄膜に開口が設けられ、該開口内に前記単結晶シリコン基板の突起部が隆起していることを特徴とする S O I 型半導体装置。

【請求項 2】 前記単結晶シリコン基板の突起部の平面寸法は、前記ゲート電極の平面寸法とほぼ同等であるかゲート長方向に若干大きいことを特徴とする請求項 1 記載の S O I 型半導体装置。

【請求項 3】 前記単結晶シリコン基板の突起部には、チャネル領域の不純物濃度より高い濃度に不純物が添加されていることを特徴とする請求項 1 記載の S O I 型半導体装置。

【請求項 4】 前記単結晶シリコン薄膜のソース・ドレイン領域上には追加のシリコン薄層が形成されていることを特徴とする請求項 1 記載の S O I 型半導体装置。

【請求項 5】 (1) 単結晶シリコン基板の表面を選択的にエッチングして該単結晶シリコン基板に突起部を形成する工程と、

(2) 全面に絶縁膜を堆積し、不要の絶縁膜を除去して単結晶シリコン基板の突起部間を絶縁体薄膜によって埋め込む工程と、

(3) 前記突起部の単結晶シリコンを成長核としてシリコンをエピタキシャル成長させ、前記突起部上および前記絶縁体薄膜上に単結晶シリコン薄膜を形成する工程と、

(4) 前記突起部上の前記単結晶シリコン薄膜上にゲート絶縁膜を介してゲート電極を設け、該ゲート電極を制御電極とする薄膜トランジスタを形成する工程と、を含むことを特徴とする S O I 型半導体装置の製造方法。

【請求項 6】 前記第(1)または第(3)の工程に先立って、シリコン基板の表面に不純物をドープする工程が追加され、前記突起部が高不純物濃度領域となされることを特徴とする請求項 6 記載の S O I 型半導体装置の製造方法。

【請求項 7】 前記第(3)の工程の後に前記第(4)の工程に先立って、前記単結晶シリコン薄膜を越えて前記突起部に不純物をイオン注入して、前記突起部の不純物濃度を前記単結晶シリコン薄膜のチャネル部の不純物濃度より高くする工程が挿入されていることを特徴とする請求項 6 記載の S O I 型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、 S O I (Silicon on I

nsulator) 型の半導体装置およびその製造方法に関し、特に活性層となるシリコン薄膜をエピタキシャル成長させる型の S O I 型半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】 大規模集積回路の集積度は急速な勢いで向上している。それにともなって、素子の微細化も急速に進行しており、例えば M O S 型集積回路に搭載されている M O S トランジスタのゲート長はすでに 0.5 ミクロン以下になっており、研究レベルでは 0.05 ミクロンに達している。性能が高くしかも長期信頼性を有する微細化 M O S トランジスタを実現するためには、様々な要素を考慮しながら構造の最適化を行わなければならない。

【0003】 寸法を縮小しても電流駆動能力などの基本性能が低下しないようにするためにゲート長を短くしなければならないが、ゲート長の減少とともに「短チャネル効果」と呼ばれる現象が顕著になってしまう。短チャネル効果とは、ゲート長の減少に伴ってトランジスタのしきい値やソース・ドレイン間耐圧が低下し、サブスレッショルド係数の値が増加してしまう現象である。

【0004】 この現象を抑制して良好な特性のトランジスタを実現するために、一般的にはゲート長の減少に合わせてチャネル部の不純物濃度を増加させなければならぬが、このような一般的な原則に基づいて微細 M O S トランジスタを作製すると、ドレインと基板の間に形成される p-n 接合の容量が増加するため、寄生容量の充放電に要する時間が増加して回路動作速度が低下してしまうことになる。

【0005】 そこで、 p-n 接合容量を低減化して動作速度の高速化を図ることのできるものとして S O I 構造を有する基板（以下、 S O I 基板という）を用いた集積回路が注目され、研究・開発が活発に進められている。 S O I 技術は、一般的には単結晶シリコン基板上に絶縁体薄膜を介して単結晶シリコン薄膜を設け、該シリコン薄膜を活性層として利用するものであり、その形成方法も各種のものが知られている。

【0006】 図 6 は、エピタキシャル法を利用した従来の S O I 基板の製造方法を示す工程断面図とその S O I 基板を利用して形成した薄膜トランジスタ（M O S トランジスタ）の断面図である。従来法では、まず単結晶シリコン基板 1 上に絶縁体層として厚さ 500 nm 程度のシリコン酸化膜 5 を化学気相成長（C V D : chemical vapor deposition）法等により堆積する〔図 6 (a)〕。

【0007】 次に、通常のフォトリソグラフィ技術とドライエッ칭技術を用いて、シリコン酸化膜 5 の一部を選択的に除去して、所望の大きさの開口部 5 a を形成し、単結晶シリコン基板 1 の表面を露出させる〔図 6 (b)〕。次に、開口部 5 a に露出したシリコン基板 1

の表面の結晶面を成長核として、シリコンを厚さ 100 ~ 500 nm 程度成長させてエピタキシャル成長シリコン膜 6 を形成する [図 6 (c)] 。

【 0008 】 続いて、通常のプロセス技術を用いて、シリコン膜 6 上にゲート酸化膜 9 を介してゲート電極 10 を形成し、その側面に側壁酸化膜 11 を形成する。そして、ゲート電極 10 、側壁酸化膜 11 をマスクとしてヒ素やボロンなどの不純物元素を導入してソース領域 12 とドレイン領域 13 を形成する [図 6 (d)] 。

【 0009 】

【発明が解決しようとする課題】 上述の従来の SOI 基板の製造方法においては、エピタキシャル成長シリコン膜 6 はシリコン酸化膜 5 の開口部 5a を埋めるように成長する段階において開口部の側壁に接触し、シリコン酸化膜 5 の上面に広がる段階においてはその表面と接触するため、これらのシリコン／酸化膜界面近傍には結晶欠陥が多数形成されてしまう。

【 0010 】 したがって、このようなシリコン膜に形成された MOS トランジスタの特性は、通常のシリコン基板上に形成された MOS トランジスタのそれよりも劣ってしまう。また、シリコン膜 6 の品質は開口部 5a から離れるにつれ劣化するため、MOS トランジスタの特性もそれに対応して劣化する。

【 0011 】 さらに、図 6 (d) に示されるように、従来の MOS トランジスタのチャネル領域は他の領域から分離されて形成されているため、例えば MOS トランジスタが n チャネル型である場合、ドレイン接合端で起こる衝突電離現象によって発生する正孔はチャネル領域内に蓄積される。その結果、ソース - チャネル間が順バイアス状態となり、寄生バイポーラ動作が生じて実効的なソース・ドレイン間耐圧が低下するという問題点もあった。

【 0012 】 本発明は、従来例のこのような問題点を解決すべくなされたものであって、その目的は、第 1 に、より欠陥の少ない領域にトランジスタの活性領域を設けるようにしてトランジスタ特性の向上を図ることであり、第 2 に、ソース・ドレイン間耐圧の高い薄膜トランジスタを形成しうるようにすることであり、第 3 に、結晶欠陥の少ない SOI 基板を提供できるようにすることである。

【 0013 】

【課題を解決するための手段】 上記目的を達成するために、本発明によれば、単結晶シリコン基板 (1) 上に絶縁体薄膜 (5) および単結晶シリコン薄膜 (6) が形成され、前記単結晶シリコン薄膜上にゲート絶縁膜 (9) を介してゲート電極 (10) が設けられ、前記単結晶シリコン薄膜をソース・ドレイン領域 (12, 13) およびチャネル領域とし前記ゲート電極を制御電極とする薄膜トランジスタが形成されている SOI 型半導体装置において、前記ゲート電極直下において前記絶縁体薄膜に

開口が設けられ、該開口内に前記単結晶シリコン基板の突起部 (1a) が隆起していることを特徴とする SOI 型半導体装置、が提供される。

【 0014 】 また、本発明によれば、(1) 単結晶シリコン基板の表面を選択的にエッチングして該シリコン基板に突起部を形成する工程 [図 4 (a), (b)] と、(2) 全面に絶縁膜を堆積し、不要の絶縁膜を除去して単結晶シリコン基板の突起部間を絶縁体薄膜によって埋め込む工程 [図 4 (c), (d), 図 5 (a)] と、

10 (3) 前記突起部の単結晶シリコンを成長核としてシリコンをエピタキシャル成長させ、前記突起部上および前記絶縁体薄膜上に単結晶シリコン薄膜を形成する工程 [図 5 (b)] と、(4) 前記突起部上の前記単結晶シリコン薄膜上にゲート絶縁膜を介してゲート電極を設け、該ゲート電極を制御電極とする薄膜トランジスタを形成する工程 [図 5 (e)] と、を含む SOI 型半導体装置の製造方法、が提供される。

【 0015 】

【実施例】 次に、本発明の実施例について図面を参照して説明する。図 1 は、本発明の第 1 の実施例を示すトランジスタ部の縦断面図である。同図に示されるように、p 型の単結晶シリコン基板 1 の (100) 面上には膜厚約 500 nm のシリコン酸化膜 5 が形成されている。単結晶シリコン基板 1 は突起部 1a を有しており、この突起部 1a の露出面とシリコン酸化膜 5 の上面とは平坦な面を形成している。

【 0016 】 シリコン酸化膜 5 上には、シリコン基板の突起部 1a の表面結晶面を成長核として、厚さ 50 nm 程度のエピタキシャル成長シリコン膜 6 が形成されている。突起部 1a 上のシリコン膜 6 上には、ゲート酸化膜 9 を介してゲート電極 10 が形成されている。この実施例ではゲート電極 10 のゲート長は突起部 1a の幅より少し長くなされている。ゲート電極の側面には側壁酸化膜 11 が形成されている。ゲート電極 10 の両側のシリコン膜 6 には、 LDD (Lightly Doped Drain) 構造のソース領域 12 とドレイン領域 13 が形成されている。

【 0017 】 単結晶シリコン基板 1 の突起部 1a およびその下部周辺部には、選択的に p 型不純物がドープされた p 型高濃度不純物領域 8 が形成されている。この構成により、ドレイン領域からの空乏層の広がりは抑えられ、短チャネル効果は抑制される。また、この高濃度不純物領域 8 は、ソース・ドレイン領域 12, 13 とは接触することのないように形成されているので、この高濃度領域が設けられたことにより接合容量が増加するすることはない。

【 0018 】 この SOI 基板では、単結晶シリコンの突起部から結晶成長が始まるため、従来例の場合のように酸化膜開口の側面で結晶欠陥が発生することがなく良質のエピタキシャル成長層が得られる。エピタキシャル成長シリコン膜 6 の結晶性は、突起部 1a から離れるにつ

れて劣化するが、本発明の半導体装置においては、最も結晶性のよい突起部直上にトランジスタの活性領域が位置しているため、特性の優れたトランジスタを得ることができる。また、チャネル領域はシリコン基板と接続されているため、衝突電離現象が発生することがあってもこれによって生じた正孔は基板側に引き抜かれることになり、寄生バイポーラ動作を起こすことはなくなり、ソース・ドレイン間耐圧は改善されている。

【0019】図2は、本発明の第2の実施例のトランジスタ部の構成を示す断面図である。同図において、図1の部分と共に通する部分には同一の参照番号が付せられているので重複する説明は省略するが、この例では、突起部1aの幅がソース接合とドレイン接合の間の距離よりも大きくなっている。その結果、第1の実施例で示した構造の場合よりも各接合位置近傍の結晶性が高くなるため、リーク電流値をより低減できるという利点を有する。

【0020】図3は、本発明の第3の実施例のトランジスタ部の構成を示す断面図である。同図においても、図1の部分と共に通する部分には同一の参照番号が付せられている。この実施例においては、図1に示した第1の実施例のnチャネルMOSトランジスタのソース・ドレイン領域12、13上に厚さ60nm程度のシリコン膜14が選択的に形成されている。このシリコン膜14が形成されたことによって、図1と図2に示したトランジスタのソース領域12とドレイン領域13のシリコン膜の厚さが実質的に増加して寄生抵抗値が低減化するため、トランジスタの電流駆動能力が向上するという利点がある。

【0021】次に、図4および図5を参照して図1に示した第1の実施例の製造方法について説明する。なお、図4(a)～(d)、図5(a)～(d)は、第1の実施例の製造方法を工程順に示した工程断面図である。

(100) 面を主面とする比抵抗2～3Ω·cmのp型の単結晶シリコン基板1上に熱酸化技術を用いて厚さ40nm程度のシリコン酸化膜2を形成し、その上に化学気相成長技術を用いて膜厚200nm程度の多結晶シリコン膜3を堆積する〔図4(a)〕。

【0022】次に、通常のフォトリソグラフィ技術を用いてエピタキシャル成長の成長核に用いる部分(突起部1aを形成する領域)だけにフォトレジスト4が残るようバーニングを行い、このフォトレジスト4をマスクとして、反応性イオンエッティングによってシリコン基板1に高さ500nm程度の突起部1aを形成する〔図4(b)〕。

【0023】フォトレジスト4を除去した後、化学気相成長技術を用いて厚さ100nm程度のシリコン酸化膜5を形成する。このとき、溝部の幅が広い領域と狭い領域に堆積されるシリコン酸化膜の表面段差を低減するために、シリコン酸化膜5を堆積する前に、突起部の高さ

と同じ程度の厚さに気相成長酸化膜を堆積し、この酸化膜をフォトリソグラフィ法により突起部1a間のみにいわゆるダミーパターンとして残す手法を用いることが有効である〔図4(c)〕。

【0024】次に、機械的研削、機械化学研磨技術等を用いてシリコン酸化膜5を研磨する。そして、多結晶シリコン膜3の表面が露出した直後で研磨を終了する。このとき、多結晶シリコン膜3の表面が露出する直前での研磨速度を、それまでの研磨速度より低くする等の工夫を施すことによって、突起部間に埋め込まれるシリコン酸化膜5の膜厚を精度よく制御することができる〔図4(d)〕。

【0025】多結晶シリコン膜3を除去した後、希釈したフッ酸溶液を用いてシリコン酸化膜2を除去して突起部1aのシリコン基板表面を露出させる。このシリコン基板表面の位置とシリコン酸化膜5の上面との段差は、プロセス条件を最適化することによって著しく低減することが可能である〔図5(a)〕。露出したシリコン基板表面の結晶面を成長核としてシリコンを成長させ、厚さ50nm程度のエピタキシャル成長シリコン膜6を形成する〔図5(b)〕。このエピタキシャル成長工程において、突起部1aの上面とシリコン酸化膜5の上面とが平坦面となるように加工しておくことによりこのエピタキシャル成長シリコン膜6の結晶性を向上させることができる。

【0026】次に、通常のフォトリソグラフィ技術を用いて突起部1a上に開口を有するフォトレジスト7を形成し、これをマスクとして、例えば加速エネルギー200keV、注入量 $5 \times 10^{11} \text{ cm}^{-2}$ 程度の条件でボロン・30イオンB⁺を注入して、ゲート電極下部すなわち突起部1aの所望の位置に、p型高濃度不純物領域8を形成する。引き続き、トランジスタのしきい値を制御するためのボロンのイオン注入を、例えば加速エネルギー15keV、注入量 $1 \times 10^{12} \text{ cm}^{-2}$ 程度の条件で行う〔図5(c)〕。

【0027】なお、p型高濃度不純物領域8は、図4(a)に示す状態においてイオン注入を行うことにより、あるいはそれ以前に基板表面に不純物を導入することにより形成するようにしてもよい。また、図4(d)、図5(a)に示される状態で行ってもよい。突起部1aに形成されるこのp型高濃度不純物領域8の不純物濃度は、短チャネル効果を抑制するために $1 \times 10^{11} \text{ cm}^{-3}$ 以上とすることが望ましい。

【0028】次に、熱酸化法によりゲート酸化膜9を形成し、リンドープ多結晶シリコン膜を堆積しこれをバーニングしてゲート電極10を形成する。続いて、ヒ素等のn型不純物のイオン注入を行い、さらに側壁酸化膜11を形成した後、再びイオン注入を行ってLDD構造のソース領域12およびドレイン領域13を形成する〔図5(d)〕。ゲート電極の形成工程において、突起

部 1 a の幅がゲート長と同じに設定されている場合には、図 4 (b) に示したフォトトレジスト 4 をバターニングする際に用いたフォトマスクを流用してゲート電極形成用のフォトトレジストのバターニングを行うことができる。第 2、第 3 の実施例についても同様の方法で製造することができる。

【0029】以上 n チャネル型薄膜トランジスタの製造方法について説明したが、 p チャネル型のものについても不純物の導電型を変更するのみでほぼ同様に形成することができる。また、 CMOS 回路は、図 4 (a) に示す工程に先立って単結晶シリコン基板 1 上に p ウェルと n ウェルを形成しておき、それぞれのウェル上に n チャネルあるいは p チャネルの薄膜トランジスタを形成することにより容易に実現することができる。この場合、各ウェルの電位を固定するためのコンタクトはコンタクト部分のエピタキシャル成長シリコン膜 6 およびシリコン酸化膜 5 を除去することによって容易に実現できる。

【0030】

【発明の効果】以上説明したように、本発明による SOI 型半導体装置は、単結晶シリコン基板の突起部上に薄膜トランジスタを形成するものであるので、結晶性のよい領域においてチャネルを形成できるためトランジスタの特性を向上させることができる。またゲート電極（チャネル領域）の直下にはシリコン酸化膜が存在しないため、正孔の蓄積を防止することができ SOI 構造に固有の寄生バイポーラ動作を防止することができる。さらに、ゲート電極（チャネル領域）の直下の所望の領域にのみ高濃度不純物領域が形成されているため、ドレイン寄生容量の増加と短チャネル効果を同時に抑制できるという効果を有する。

【0031】また、本発明の SOI 基板では、シリコン酸化膜の開口部内はシリコン基板の突起部である単結晶シリコンにより占められておりエピタキシャル成長はその突起部の上面の結晶を成長核として行われるため、酸化膜開口部底面より結晶成長を始める場合に導入される

開口部側面での結晶欠陥を回避することができる。そして、シリコン基板上面（突起部 1 a 上面）とシリコン酸化膜 5 の上面を平坦面に加工しておくことにより、結晶性の優れたエピタキシャル成長シリコン膜を得ることができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例における薄膜トランジスタの断面図。

【図 2】本発明の第 2 の実施例における薄膜トランジスタの断面図。

【図 3】本発明の第 3 の実施例における薄膜トランジスタの断面図。

【図 4】図 1 に示した実施例の製造方法を説明するための工程順断面図の一部。

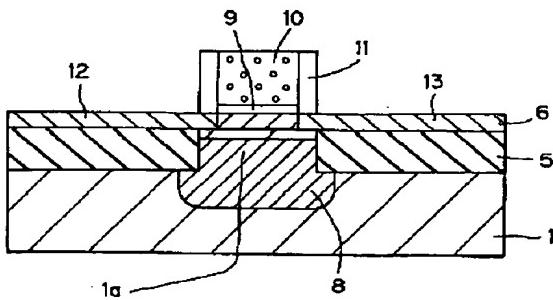
【図 5】図 1 に示した実施例の製造方法を説明するための、図 4 の工程に続く工程での工程順断面図。

【図 6】従来例の製造方法を説明するための工程順断面図。

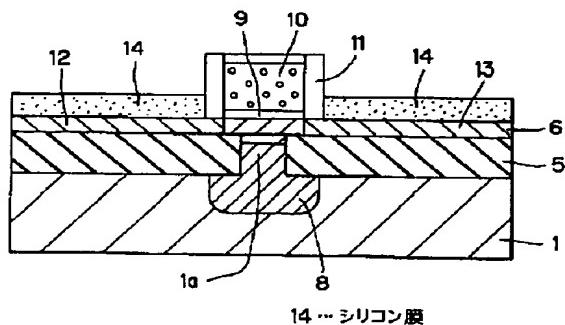
【符号の説明】

- | | |
|----|------------------|
| 20 | 1 単結晶シリコン基板 |
| | 1 a 突起部 |
| | 2 シリコン酸化膜 |
| | 3 多結晶シリコン膜 |
| | 4 フォトトレジスト |
| | 5 シリコン酸化膜 |
| | 5 a 開口部 |
| | 6 エピタキシャル成長シリコン膜 |
| | 7 フォトトレジスト |
| | 8 p 型高濃度不純物領域 |
| 30 | 9 ゲート酸化膜 |
| | 10 ゲート電極 |
| | 11 側壁酸化膜 |
| | 12 ソース領域 |
| | 13 ドレイン領域 |
| | 14 シリコン膜 |

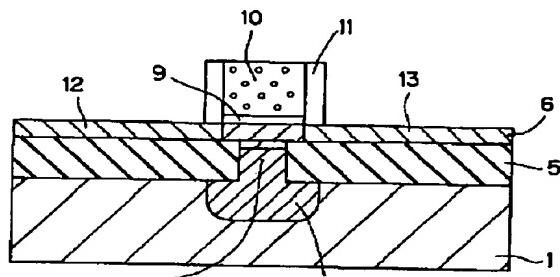
【図 2】



【図 3】

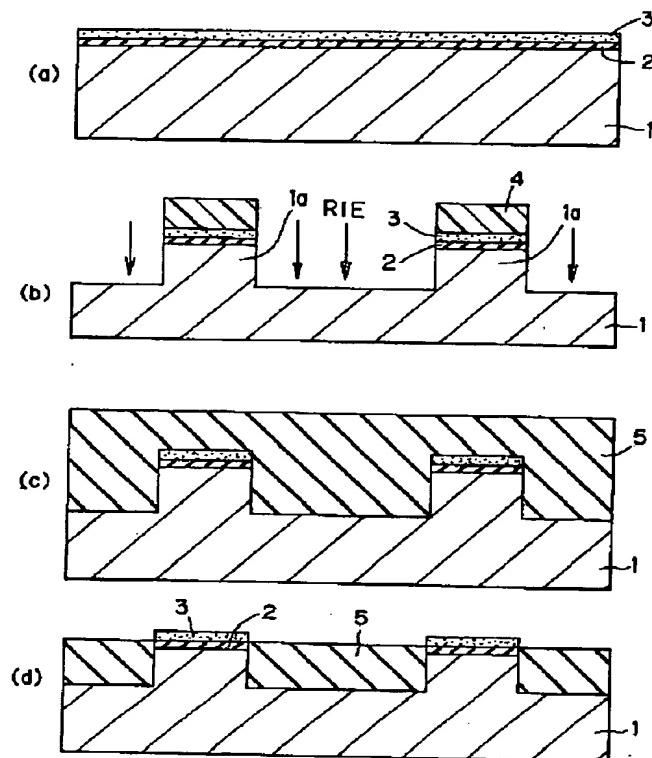


【図 1】



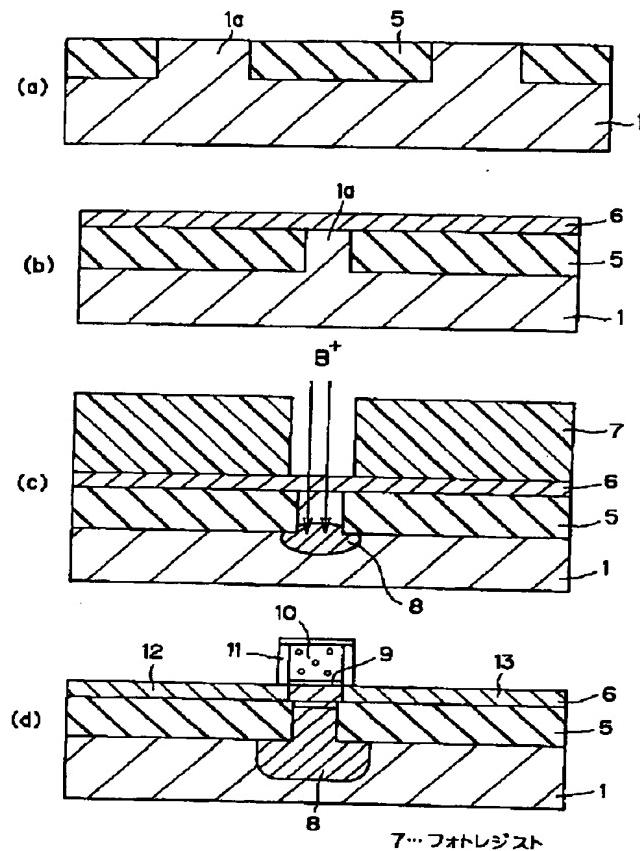
1 … 単結晶シリコン基板
 1a … 突起部
 5 … シリコン酸化膜
 6 … エピタキシャル成長シリコン膜
 8 … p型高濃度不純物領域
 9 … ゲート酸化膜
 10 … ゲート電極
 11 … 側壁酸化膜
 12 … ソース領域
 13 … ドレイン領域

【図 4】

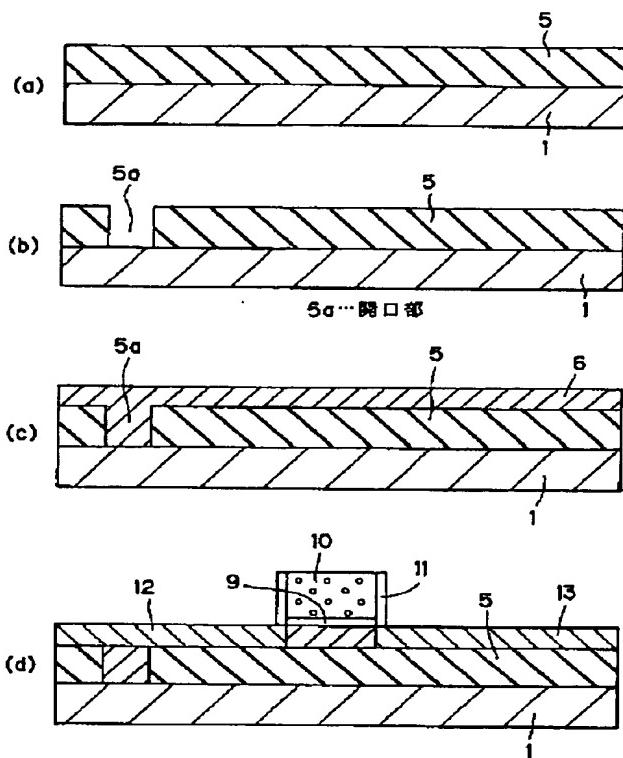


2 … シリコン酸化膜
 3 … 多結晶シリコン膜
 4 … フォトレジスト

【図 5】



【図 6】



フロントページの続き

(51) Int. Cl.⁶

識別記号

府内整理番号

F I

技術表示箇所

21/265

Q

21/76

D